

③

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-251227

⑤ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)11月8日

H 03 K 17/12
17/687

7105-5J
7105-5J

審査請求 未請求 発明の数 1 (全6頁)

⑭ 発明の名称 電界効果型トランジスタの駆動回路

⑮ 特 願 昭60-90517

⑯ 出 願 昭60(1985)4月26日

⑰ 発 明 者 西 澤 勇 治 名古屋市東区矢田南5丁目1番14号 三菱電機株式会社名古屋製作所内

⑱ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲ 代 理 人 弁理士 大岩 増雄 外2名

明 細 書

1. 発明の名称

電界効果型トランジスタの駆動回路

2. 特許請求の範囲

電源に並列接続された電界効果型トランジスタと、上記電界効果型トランジスタのゲート側電圧を制御する第1の出力端子を有する切換回路と、上記切換回路の第2の出力端子と電界効果型トランジスタのゲート間に接続されたゲート抵抗とを備えた駆動回路において、上記ゲート抵抗に対し、各電界効果型トランジスタがオフ状態となるとき、の過渡電流を調整するための可変抵抗を接続したことを特徴とする電界効果型トランジスタの駆動回路。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は並列接続された2個以上の電界効果型トランジスタの駆動回路に関する。

(従来の技術)

並列接続された2個以上の電界効果型トランジ

スタをON状態またはOFF状態にする駆動回路を実現させる場合、各電界効果型トランジスタの電流バランスがとれるように設計することが望ましい。

この電流バランスはONまたはOFFのスイッチング動作時の過渡バランスと電界効果型トランジスタに電流が流れている導通時の定常バランスとがあるが、定常バランスについては導通時に電流が増加するとON抵抗が増大するという特性を電界効果型トランジスタが有しているため特に回路上考慮しなくとも比較的バランスがとれるようになっている。

したがって電界効果型トランジスタの電流バランスについては特にスイッチング動作時の過渡バランスについて考慮することが重要な事項となっている。

しかして従来の電界効果型トランジスタの駆動回路とその動作波形図を第4図ないし第6図に基づいて説明する。

第4図は従来の並列接続された電界効果型ト

ンジスタの駆動回路の例である。

第4図において、1は第1の電界効果型トランジスタ、2は第2の電界効果型トランジスタ、3は負荷、4は主電源、 R_1 は第1のゲート抵抗、 R_2 は第2のゲート抵抗、7は第1及び第2の電界効果型トランジスタ1、2をON状態とするためのON電源、8は第1及び第2の電界効果型トランジスタ1、2をOFF状態にするためのOFF電源、 SW_1 、 SW_2 はスイッチである。

ここにおいて、第1の電界効果型トランジスタ1のゲートGには第1のゲート抵抗 R_1 が接続され、第2の電界効果型トランジスタ2のゲートGには第2のゲート抵抗 R_2 が接続され、この第1及び第2の電界効果型トランジスタ1、2のドレインDとソースSに主電源4と負荷3が直列に接続されている。

一方、ON電源7にはスイッチ SW_1 とスイッチ SW_2 とが直列に接続されていて、このスイッチ SW_1 とスイッチ SW_2 の接続点は第1、第2のゲート抵抗 R_1 、 R_2 に接続されている。

型トランジスタ1のスレシヨルド電圧 V_{TH1} と第2の電界効果型トランジスタ2のスレシヨルド電圧 V_{TH2} とは異なるため、第1の電界効果型トランジスタ1のゲートGとソースS間の電圧 V_{G_s1} の方が第2の電界効果型トランジスタ2のゲートGとソースS間の電圧 V_{G_s2} より先にスレシヨルド電圧 V_{TH1} に達することになり、第1の電界効果型トランジスタ1のゲートGとソースS間の電圧 V_{G_s1} がスレシヨルド電圧 V_{TH1} に達した時すなわち時間 $t=t_1$ では第5図(c)に示すように第1の電界効果型トランジスタ1のドレイン電流 I_{D1} が流れ始めるが第2の電界効果型トランジスタ2のドレイン電流 I_{D2} はまだ流れるようにはならない。

次いで、第2の電界効果型トランジスタ2のゲートGとソースS間の電圧 V_{G_s2} がスレシヨルド電圧 V_{TH2} に達した時すなわち時間 $t=t_2$ では第5図(c)に示すように第2の電界効果型トランジスタ2のドレイン電流 I_{D2} が流れるようになる。

また、ON電源7のマイナス側にはOFF電源8のマイナス側が接続され、このOFF電源8のプラス側は第1、第2の電界効果型トランジスタのソースSに接続されているとともに主電源4のマイナス側に接続されている。

このような回路構成において、スイッチ SW_1 をONにしスイッチ SW_2 をOFFにして第1の電界効果型トランジスタ1のゲートGとソースS間及び第2の電界効果型トランジスタ2のゲートGとソースS間にON電源7の電圧 V_1 を印加したときのゲートGとソースS間の電圧 V_{G_s} とドレイン電流 I_D の動作波形を第5図に基づいて説明する。

第5図(a)においてスイッチ SW_1 をONにしスイッチ SW_2 をOFFにすると第5図(b)に示すように第1の電界効果型トランジスタ1のゲートGとソースS間の電圧 V_{G_s1} 及び第2の電界効果型トランジスタ2のゲートGとソースS間の電圧 V_{G_s2} はON電源7の電圧 V_1 に向かって上昇する。この過程において第1の電界効果

しかしてこの従来の駆動回路においては、2つの電界効果型トランジスタの入力容量の充電経路が第1、第2のゲート抵抗 R_1 、 R_2 と分かれていてドレイン電流 I_{D1} 、 I_{D2} は互いの影響を受けず比較的過渡バランスがとれるようになっている。

次に第1及び第2の電界効果型トランジスタ1、2をOFF状態とした時の第1の電界効果型トランジスタ1のゲートGとソースS間の電圧 V_{G_s1} 、第2の電界効果型トランジスタ2のゲートGとソースS間の電圧 V_{G_s2} 、第1の電界効果型トランジスタのドレイン電流 I_{D1} 、第2の電界効果型トランジスタのドレイン電流 I_{D2} の動作を第6図に示す動波形に基づいて説明する。

第6図(a)においてスイッチ SW_1 をOFF、スイッチ SW_2 をONにすると、ON状態となっている第1及び第2の電界効果型トランジスタ1、2のゲートGとソースS間にOFF電源8の電圧 $-V_2$ がかかり、第1、第2の電界効果型トランジスタ1、2のゲートGとソースの電圧 V_{G_s1} 、

V_{Qs1} は第6図(b)に示すようにOFF電源8の電圧 $-V_2$ に向かって下降する。

この過程において第1の電界効果型トランジスタ1のスレッシュド電圧 V_{TH1} と第2の電界効果型トランジスタ2のスレッシュド電圧 V_{TH2} が異なるので、第1の電界効果型トランジスタ1のゲートGとソースS間の電圧 V_{Qs1} の方が第2の電界効果型トランジスタ2のゲートGとソースS間の電圧 V_{Qs2} より先に時間 $t=t_1$ でスレッシュド電圧 V_{TH1} に達し、この時第6図(c)に示すように第1の電界効果型トランジスタ1のドレイン電流 I_{D1} は流れないようになるが、第2の電界効果型トランジスタ2の方は、電圧 V_{Qs2} がスレッシュド電圧 V_{TH2} に達していないためドレイン電流 I_{D2} がまだ流れていることになる。

したがって第2の電界効果型トランジスタ2のゲートGとソースS間の電圧 V_{Qs2} がスレッシュド電圧 V_{TH2} に達する時間すなわち時間 $t=t_2$ に至るまでの間第2の電界効果型トランジスタ

2のドレイン電流 I_{D2} は大きく流れてしまうことになる。

(発明が解決しようとする問題点)

このようにゲート抵抗を別々にする回路構成においては電界効果型トランジスタをON状態にする場合には、ゲート抵抗が別々のため第1の電界効果型トランジスタのゲートGとソースS間の電圧 V_{Qs1} と第2の電界効果型トランジスタのゲートGとソースS間の電圧 V_{Qs2} は互いの影響を受けずに立ち上がり、電流バランスがとれているが、OFF状態にする場合には上記説明のように電流バランスがとれない問題点があった。

特に2つの電界効果型トランジスタの特性が極端に異なる場合には負荷条件によりOFF時のFETが電流定格を超えてしまい、電界効果型トランジスタを破壊する危険性があった。

この発明は上記問題点を解決するためになされたもので、スイッチング動作を行なう電界効果型トランジスタのOFF時の過渡バランスをとることを目的としている。

(問題点を解決するための手段)

このため本発明はゲート抵抗に対し、各電界効果型トランジスタがOFF状態となるとききの過渡電流を調整するための可変抵抗を接続したことを特徴としている。

(作用)

可変抵抗の抵抗値を変えて電界効果型トランジスタがOFF状態となるとききの時間が等しくなるように調整すると、各電界効果型トランジスタのドレイン電流の過渡バランスがとれるようになる。

以下第1図及び第2図に基づいて本発明の一実施例を説明する。

第1図において、1は第1のパワーMOS型の電界効果型トランジスタ、2は第2のパワーMOS型の電界効果型トランジスタ、3は負荷、4は主電源、 R_1 は第1のゲート抵抗、 R_2 は第2のゲート抵抗、 R_3 、 R_4 は第1、第2の調整用抵抗、 R_5 、 R_6 は第1、第2の微調整用可変抵抗、 D_1 、 D_2 はダイオード、7は第1及び第2の電界効果型トランジスタ1、2をON状態とするた

めのON電源、8は第1及び第2の電界効果型トランジスタ1、2をOFF状態とするためのOFF電源、 SW_1 、 SW_2 はスイッチである。

ここにおいて、ON電源7にはスイッチ SW_1 とスイッチ SW_2 とが直列に接続され、またOFF電源8のマイナス側がON電源7のマイナス側に接続されている。

このON電源7、OFF電源8、スイッチ SW_1 、スイッチ SW_2 は正負の電圧を出力する切換回路9を構成していて、スイッチ SW_1 とスイッチ SW_2 の接続点は切換回路9の第1の出力端子9aとなり、OFF電源8のプラス側が第2の出力端子9bとなっている。

この第1の出力端子9aと第1の電界効果型トランジスタ1のゲートGの間には、第1のダイオード D_1 と第1の調整抵抗 R_3 と微調用の第1の可変抵抗 R_5 とからなる第1の直列回路と第1のゲート抵抗 R_1 との並列回路が接続され、第1の出力端子と第2の電界効果型トランジスタ2のゲートGとの間には、第2のダイオード D_2 と第2

の調整抵抗 R_4 と微調整用の第2の可変抵抗 R_5 とからなる第2の直列回路と第2のゲート抵抗 R_2 との並列回路が接続されている。

ここに第1、第2のダイオード D_1 、 D_2 は第1、第2の電界効果型トランジスタ1、2のゲートGに向かう方向が逆方向となるように接続されている。

一方切換回路9の第2の出力端子9bすなわちOFF電源8のプラス側は第1、第2の電界効果型トランジスタ1、2のソースSに接続されるとともに主電源4のマイナス側に接続されている。

この主電源4のプラス側は負荷3を介して第1、第2の電界効果型トランジスタ1、2のドレインDに接続されている。

このような回路構成において、第2図(a)に示すようにまず、スイッチ SW_1 をON、スイッチ SW_2 をOFFにして切換回路の第1の出力端子9aをプラス、第2の出力端子9bをマイナスにし、第1、第2の電界効果型トランジスタ1、2をON状態とする。

このとき、第1、第2のダイオード D_1 、 D_2 は逆方向となっているため、第1のゲート抵抗 R_1 、第2のゲート抵抗 R_2 を介して第1、第2の電界効果型トランジスタ1、2のゲートGとソースS間に正の電圧が加わることになる。

この結果、第2図(b)及び第2図(c)に示すように第1の電界効果型トランジスタ1のゲートGとソースS間の電圧 $V_{G_{s1}}$ と第2の電界効果型トランジスタ2のゲートGとソースS間の電圧 $V_{G_{s2}}$ は互いの影響を受けずに立ち上がり、ドレイン電流 D_1 、 D_2 の電流バランスがとれることになる。

またスイッチ SW_1 をOFF、スイッチ SW_2 をONにして切換回路の第1の出力端子をマイナス第2の出力端子をプラスにし第1、第2の電界効果型トランジスタ1、2をOFF状態にしたとする。

この場合ゲート電流は第1、第2のダイオード D_1 、 D_2 を介して流れることになるため第1の電界効果型トランジスタのゲート抵抗は、第1の

ダイオード D_1 のON電圧を無視すれば、

$$\frac{R_1 (R_3 + R_5)}{R_1 + R_3 + R_5} \text{ となる。}$$

同様に第2の電界効果型トランジスタのゲート抵抗は、
$$\frac{R_2 (R_4 + R_6)}{R_2 + R_4 + R_6} \text{ となる。}$$

したがって第1、第2の微調整用可変抵抗の抵抗値を調整するとOFF状態にするときのゲート抵抗が調整できることになる。

ここに第2図に示すように可変抵抗を調整すると第1、第2の電界効果型トランジスタをOFF状態とするときの電流バランスがとれることになる。

なお、本発明においては第3図に示すように第1、第2のゲート抵抗 R_1 、 R_2 と直列に第1、第2の可変抵抗 R_3 、 R_6 を接続しても同様の効果が得られる。

(発明の効果)

以上説明したように本発明によればゲート抵抗に対し、各電界効果型トランジスタがOFF状態となるときの過渡電流を調整するための可変抵抗を接続したので、各電界効果型トランジスタがOFFするまでの時間を等しくなるようにゲート抵抗を調整することができ、各電界効果型トランジスタをOFF状態とするときのドレイン電流の過渡バランスがとれる効果を有する。

4. 図面の簡単な説明

第1図は本発明にかかる電界効果型トランジスタの駆動回路、第2図は第1図における駆動回路の動作波形図、第3図は本発明の他の実施例を示す回路図、第4図は従来の駆動回路の回路図、第5図、第6図は第4図における駆動回路の動作波形図である。

1……第1の電界効果型トランジスタ、2……第2の電界効果型トランジスタ、 D_1 、 D_2 ……ダイオード、 R_1 ……第1のゲート抵抗、 R_2 ……第2のゲート抵抗、 R_3 、 R_6 ……可変抵抗。

代理人 大岩 増雄 (ほか2名)

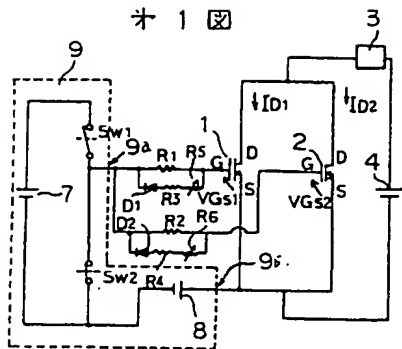
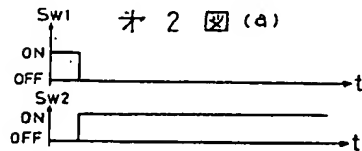
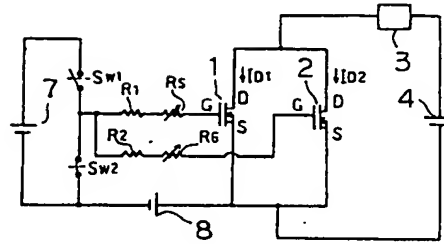


図 3



1, 2 : 電界効果トランジスタ

9 : 切換回路

R1 ~ R4 : 抵抗

D1, D2 : ダイオード

R5, R6 : 可変抵抗

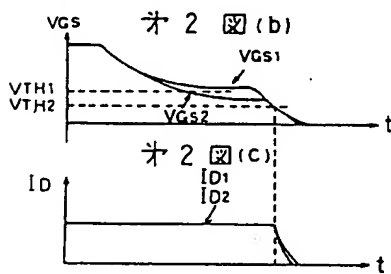


図 4

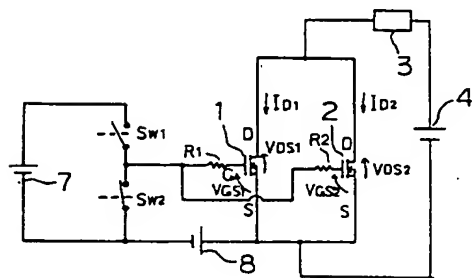


図 5 (a)

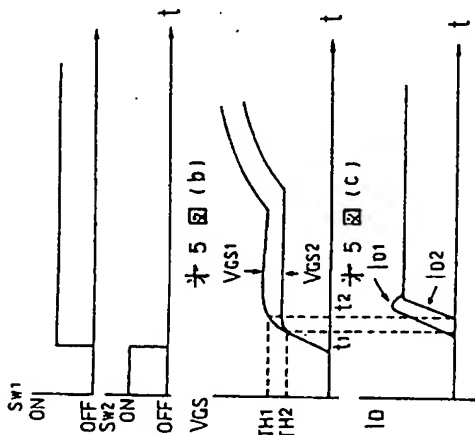
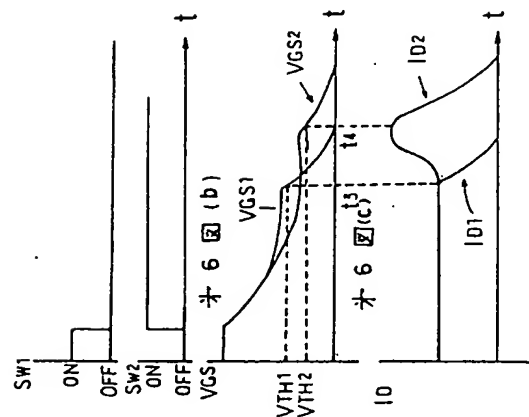


図 6 (a)



手続補正書(自発)
61 1 13
昭和 年 月 日

特許庁長官殿

1. 事件の表示 特願昭60-90517号

2. 発明の名称

電界効果型トランジスタの駆動回路

3. 補正をする者

事件との関係 特許出願人
住 所 東京都千代田区丸の内二丁目2番3号
名 称 (601)三菱電機株式会社
代表者 志 岐 守 哉

4. 代 理 人

住 所 東京都千代田区丸の内二丁目2番3号
三菱電機株式会社内
氏 名 (7375)弁理士 大 岩 増 雄
(連絡先03(213)3421特許部)

5. 補正の対象

発明の詳細な説明の欄。

6. 補正の内容

(1)明細書第4頁第19行目「ON電源7の電圧
V₁」とあるのを「V₁-V₂」と補正する。

(2)同書第6頁第14行目「動波形」とあるのを
「動作波形」と補正する。

(3)同書第9頁第13行目、第14行目ないし第
15行目「パワーMOS型の」とあるのを削除す
る。

(4)同書第12頁第6行目「この結果、第2図(b)
及び第2図(c)」とあるのを「この結果、第4図の
従来の回路と同様になり、第5図(b)及び第5図(c)」
と補正する。

以上

方式
審査



61.1.14



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **61251227 A**(43) Date of publication of application: **08.11.86**

(51) Int. Cl.

H03K 17/12
H03K 17/687(21) Application number: **60090517**(71) Applicant: **MITSUBISHI ELECTRIC CORP**(22) Date of filing: **26.04.85**(72) Inventor: **NISHIZAWA YUJI****(54) DRIVING CIRCUIT FOR FIELD EFFECT TYPE TRANSISTOR**

adjustment.

COPYRIGHT: (C)1986,JPO&Japio

(57) Abstract:

PURPOSE: To take transient balance when an FET is turned off with a switching operation by connecting a variable resistor to adjust an overcurrent when FETs connected in parallel are turned off to a gate resistor.

CONSTITUTION: Adjusting resistors R_3 , R_4 , variable resistors R_5 , R_6 and diodes D_1 , D_2 are connected to gate resistors R_1 , R_2 . When the FETs 1, 2 are turned on by the operation of the switching circuit 9, since the diodes D_1 , D_2 are connected in reverse direction, a positive voltage is applied between a gate and the source S of the FETs 1, 2 via the resistors R_1 , R_2 . As a result, as shown figures b, c, a voltage V_{GS1} between the gate G and the source S of the FET 1 and a voltage V_{GS2} of the FET 2 rise without being interfered and drain currents I_{D1} , I_{D2} are balanced. When the FETs 1, 2 are turned off by the changeover circuit 9, the gate current flows via the diodes D_1 , D_2 . In adjusting the resistance value of the resistors R_5 , R_6 , the gate resistance with the OFF state is adjusted and the current is balanced when the FET is turned off by the

